

# 基于DWC PCIE Core的数据传输系统设计

刘肖婷<sup>1,2</sup>

(1. 北京全路通信信号研究设计院集团有限公司, 北京 100070;

2. 北京市高速铁路运行控制系统工程技术研究中心, 北京 100070)

**摘要:** 在铁路信号系统中, 为有效减少铁路信号系统设备 CPU 资源占用率, 设计一种基于 DWC PCIE Core 的数据发送与接收系统。该系统采用内嵌 ARM Cortex-A9 双核的 FPGA 开发板套件, 利用 FPGA 的灵活性和可扩展性, 采用可配置的 PCIE 硬核 IP 模块以及以太网硬核 IP 模块。该系统主要介绍 Host PC 与 FPGA 之间基于 PCIE 2.0 的 DMA 数据传输以及 FPGA 之间基于 GMAC 的以太网数据传输, 通过 PCIE 总线、以太网基于 DMA 模块实现数据高速可靠传输。

**关键词:** DWC PCIE Core; FPGA; 数据传输; DMA

中图分类号: U284.7

文献标志码: A

文章编号: 1673-4440(2024)01-0026-04

## Design of Data Transmission System Based on DWC PCIE Core

Liu Xiaoting<sup>1,2</sup>

(1. CRSC Research & Design Institute Group Co., Ltd, Beijing 100070, China)

(2. Beijing Engineering Technology Research Center of Operation Control Systems for High Speed Railways, Beijing 100070, China)

**Abstract:** In the railway signaling system, a data sending and receiving system based on DWC PCIE Core is designed to reduce the CPU resource occupancy of railway signaling system. The system adopts FPGA development board suite embedded with ARM Cortex-A9 dual core, which takes the advantage of the flexibility and scalability of FPGA, and uses configurable PCIE hard core IP module and configurable Ethernet hard core IP module. This paper mainly introduces the realization of high-speed and reliable data transmission through PCIE bus and Ethernet based on DMA modules between Host PC and FPGA and between FPGA boards.

**Keywords:** DWC PCIE Core; FPGA; data transmission; DMA

### 1 概述

铁路信号设备是铁路运输的基础设施, 是保

证行车安全、提高运输效率的重要设备, 在传递信息和改善行车人员劳动条件等方面发挥着重要的作用。为提高铁路信号的安全性和可靠性, 铁路信号设备多采用冗余结构或混合冗余结构。结合铁路设备冗余结构, 基于现场可编程门阵列(Field Programmable Gate Array, FPGA)可扩展处理平台, 开发一种高速数据传输系统, 同时有效减小

收稿日期: 2020-12-29; 修回日期: 2023-12-19

基金项目: 国家重点研究计划项目(2022YFB4300600)

作者简介: 刘肖婷(1989—), 女, 工程师, 硕士, 主要研究方向: 嵌入式软件开发, 邮箱: liuxiaoting@crscd.com.cn。

CPU 负载。

本系统利用 ARM Cortex-A9 双核处理器高速数据通信的功能, 同时基于该处理器高性能和高能耗的特性, 降低功耗和成本。利用 FPGA 可编程平台, 设计高速率、多通道的高速串行计算机扩展总线标准 (Peripheral Component Interconnect Express, PCIE) 接口。同时设计千兆以太网和万兆以太网接口, 以满足不同速率以太网的需求。

## 2 硬件系统基本结构

硬件系统采用 Xilinx 公司的 UltraScale+ XCVU9P-L2FLGA2104 FPGA。上位机与 FPGA 间通过 PCIE 2.0 通信, 使用直接内存存取 (Direct Memory Access, DMA) 的数据传输方法, 能有效减少 CPU 负载, 提高数据传输速率。FPGA 之间通过千兆或万兆以太网通信。硬件系统还包括串行外围设备 (Serial Peripheral Interface, SPI) 接口、通用异步接收 / 发送器 (Universal Asynchronous Receiver/Transmitter, UART) 接口、SD 卡接口、片内 RAM 以及外部存储器控制器等。硬件系统基本结构如图 1 所示。硬件系统外接 SD 卡

存储驱动程序, 并通过 PCIE2.0 与 Host PC 通信。

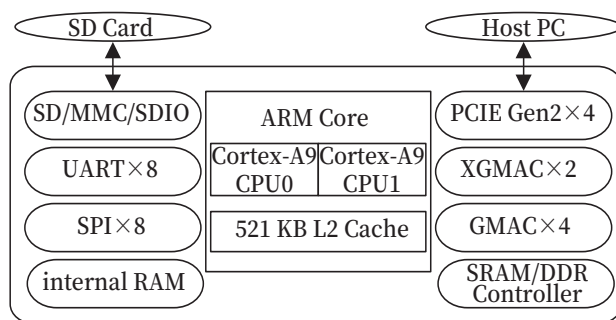


图1 硬件系统基本结构

Fig.1 Hardware system basic structure

## 3 数据通信系统

FPGA 通过 PCIE 2.0×4 连接上位机, FPGA 之间通过 10 G 或者 1 G 以太网通信。发送主机 Host PC-A、接收主机 Host-B、发送下位机 FPGA-a 和接收下位机 FPGA-b 之间数据通信系统结构如图 2 所示。该通信系统主要实现 PCIE 系统逻辑、以太网数据传输以及 DMA 数据传输。其中 PCIE 系统逻辑实现 PCIE 总线协议的核心部分, 包括物理层和数据链路层的全部功能, 以及应用逻辑数据传输所依赖的传输层部分。

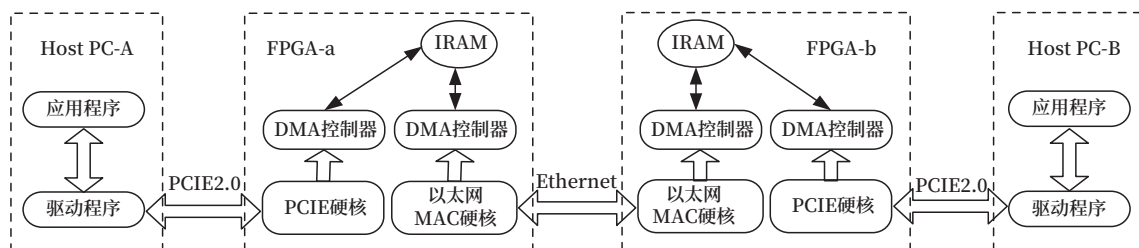


图2 数据通信系统结构

Fig.2 Data communication system structure

图 2 中上位机与 FPGA 之间的通信是基于 DWC PCIE Core 的 DMA 数据传输, 上位机系统内存为 DMA 通道分配内存, 即 DMA 映射区, 也叫 DMA 缓冲区。用户将应用数据写入上位机系统内存, DMA 把数据从 DMA 缓存区传送至 FPGA 片内 RAM。上位机系统内存与 FPGA 片内 RAM 之间就建立了一条 DMA 通道。

下位机之间通过以太网进行数据通信。该系统设计成 6 组以太网接口, 4 路千兆以太网和 2 路

万兆以太网, 以满足不同场景对以太网速率的差异化需求。

## 4 数据传输过程

上位机与 FPGA 及 FPGA 之间数据通信过程如图 3 所示, FPGA 之间以 GMAC 为例说明。Host PC-A 为数据发送端, Host PC-B 为数据接收端。Host PC-A 发送数据时, 首先查询 FPGA 片内 PCIE 接收数据缓存状态寄存器。如果该缓存状态

为 空，Host PC-A 把数据帧发送出去并启动 DMA 操作。

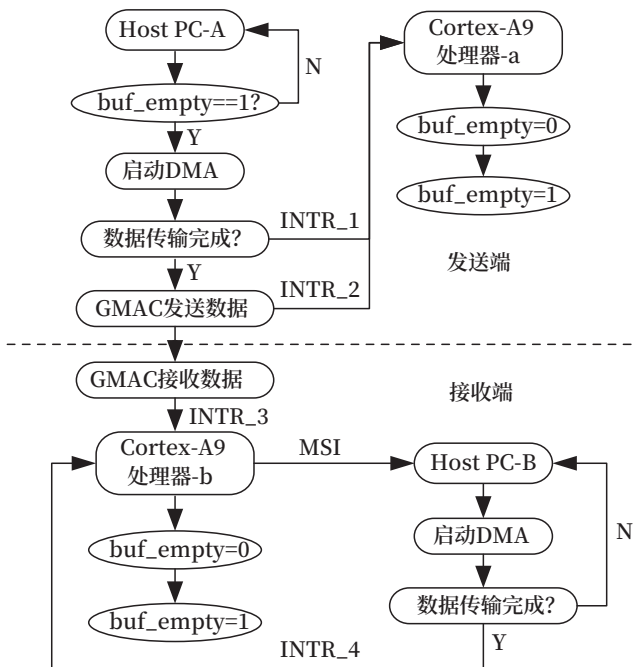


图3 数据传输流程设计  
Fig.3 Data transmission process design

启动 DMA 操作主要包括检查与配置 DMA 控制寄存器。首先查询 DMA 通道状态是否空闲，如果正在使用则返回错误，空闲则获取数据帧大小。然后使能 DMA 读引擎和 Linked List 操作模式，将 linked list data 写入 DMA channel context 寄存器中，使 DMA 能够多次对多块内存进行读写操作。最后配置 Doorbell Number 指定 DMA 传输通道并开启 DMA 数据传输。由于在驱动程序中使能了 iATU 单元，内核首先需要检查 TLP 地址域首尾地址是否在 outbound 寄存器组中，如果匹配成功，DMA 将会启动数据传输，把 Host PC-A 系统内存数据读至 FPGA 片内 PCIE 接收数据缓存中。之后 Cortex-A9 处理器 -a 会收到 PCIE 控制器的 INTR1。如果 INTR1 为数据传输错误中断，处理器会进入相应的中断响应程序。如果为数据传输完成中断，处理器会把 PCIE 缓存区状态置为满状态。

FPGA 将通过 PCIe 总线接收的数据保存至片

上 RAM, FPGA 接收数据之后给 Cortex-A9 处理器发送中断, Cortex-A9 处理器接收中断之后将控制权交给以太网 DMA, 以太网 DMA 将 FPGA 片上 RAM 中的数据读出, 保存至以太网模块的内存中。GMAC 控制器等待 DMA 数据传输完成后, 通过以太网把数据发送出去, 同时触发中断 INTR2 给本地处理器, 处理器检测到 GMAC 中断之后将缓存区状态置为空。

接收端 GMAC 接收数据后发送中断 INTR3 给 Cortex-A9 处理器 -b，处理器检测到接收数据中断后，将 GMAC 接收缓存区状态置为满状态，同时会发送 MSI 中断给 Host PC-B。Host PC-B 检测到 MSI 中断就会启动 DMA。DMA 数据传输如果出现错误，就会给 Host PC-B 发送错误中断，Host PC-B 响应的中断。如果数据传输完成且没有出错，PCIE 控制器发送中断 INTR4 给处理器 -b，处理器 -b 将内存状态置为空，这就完成了一次 DMA 读写数据过程。

## 5 TCP/IP协议的实现

FPGA 之间的通信基于 MAC 层的数据传输。基于 ucosii 驱动程序, 通过 socket 编程实现 TCP/IP 协议, 以保证数据的可靠性传输。socket 编程的实现以及 TCP 服务器端和客户端通信过程如图 4 所示。

服务器端调用 `NetSock_Open` 和 `NetSock_Bind` 函数分别创建并监听套接字。之后调用 `NetSock_Listen` 函数允许操作系统开始接收客户、完成连接阶段并把他们放入被服务的列表。之后服务器进程开始循环，并且依次对客户进行服务。每次循环，服务器进程都会调用 `NetSock_Accept` 函数从服务列表里取出一个客户对其进行服务。如果列表为空，那么 `NetSock_Accept` 函数进入阻塞状态，直到出现一个客户待服务。`NetSock_Accept` 函数返回一个新套接字，该套接字是由内核为服务器接受客户连接创建的已连接套接字。

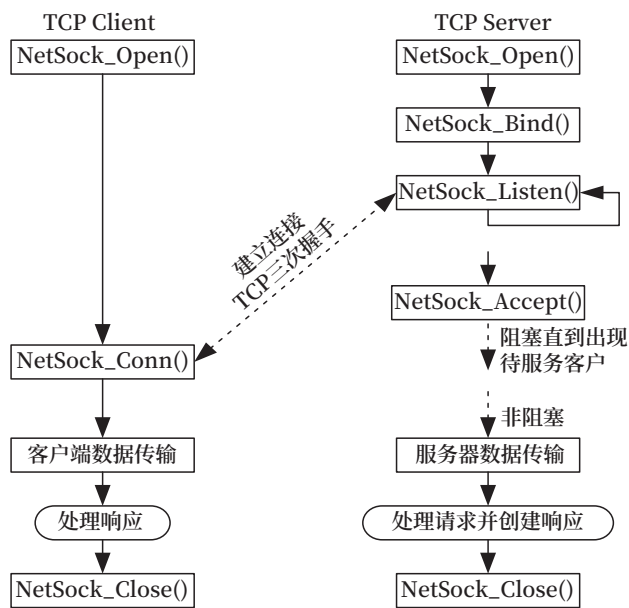


图4 TCP服务器与客户端通信过程  
Fig.4 Communication process between TCP server and client

客户端首先调用 NetSock\_Open 函数创建套接字，然后调用 NetSock\_Conn 函数建立与 TCP 服务器的连接，发起三路握手。建立连接后，客户端与服务器端可以交换数据。

使用 Wireshark 软件捕获建立连接前 3 次握手，建立连接后数据发送与接收，数据传输完成后、握手结束的完整过程。Wireshark 捕捉到的数据传输过程如图 5 所示。

## 6 结论

本文采用 FPGA 设计了上位机与 FPGA 之间基于 DWC PCIE Core 的 DMA 数据传输，以及 FPGA 之间基于以太网的数据传输。通过 DMA 的数据传输以及共享内存的设计，能够大大减少上位

464	3922.917989	192.168.144.128	10.2.49.41	TCP	74	39870 → 55555 [SYN] Seq=0 Win=64240 Len=0 MSS=1460 SACK_PERM=1 TSval=3743812131 TSecr=0 WS=128
465	3922.918691	VMware_e0:39:8b	Broadcast	ARP	42	Who has 192.168.144.128? Tell 192.168.144.2
466	3922.918804	VMware_30:34:49	VMware_e0:39:8b	ARP	60	192.168.144.128 is at 00:0c:29:30:34:49
467	3922.918843	10.2.49.41	192.168.144.128	TCP	58	55555 → 39870 [SYN, ACK] Seq=0 Ack=1 Win=64240 Len=0 MSS=1460
468	3922.918951	192.168.144.128	10.2.49.41	TCP	60	39870 → 55555 [ACK] Seq=1 Ack=1 Win=64240 Len=0
469	3922.918995	192.168.144.128	10.2.49.41	TCP	71	39870 → 55555 [PSH, ACK] Seq=1 Ack=1 Win=64240 Len=17
470	3922.919029	192.168.144.128	10.2.49.41	TCP	60	39870 → 55555 [FIN, ACK] Seq=18 Ack=1 Win=64240 Len=0
471	3922.919058	10.2.49.41	192.168.144.128	TCP	54	55555 → 39870 [ACK] Seq=1 Ack=18 Win=64240 Len=0
472	3922.919097	10.2.49.41	192.168.144.128	TCP	54	55555 → 39870 [ACK] Seq=1 Ack=19 Win=64239 Len=0
473	3922.919595	10.2.49.41	192.168.144.128	TCP	54	55555 → 39870 [FIN, PSH, ACK] Seq=1 Ack=19 Win=64239 Len=0
474	3922.919713	192.168.144.128	10.2.49.41	TCP	60	39870 → 55555 [ACK] Seq=19 Ack=2 Win=64240 Len=0
475	3927.937449	VMware_30:34:49	VMware_e0:39:8b	ARP	60	Who has 192.168.144.2? Tell 192.168.144.128

图5 基于TCP/IP协议的数据传输  
Fig.5 Data transmission based on TCP/IP protocol

机 CPU 负载，提高数据传输效率。通过 TCP/IP socket 编程，保证数据的可靠性传输。如果采用更高版本的 PCIE 或者 16 通道，传输速率还会有更大的提升空间。

## 参考文献

- [1] 王齐.PCI Express 体系结构导读 [M]. 北京：机械工业出版社，2010.
- [2] 陈学松.深入Linux设备驱动程序内核机制 [M]. 北京：电子工业出版社，2012.
- [3] Behrouz A. Forouzan, Firouz Mosharraf. Computer Networks: A Top-Down Approach[M]. 北京：机械工业出版社，2012.
- [4] W.Richard Stevens, Bill Fenner, Andrew M. Rudoff.UNIX 网络编程 卷1 套接字联网 API

[M]. 3 版. 北京：人民邮电出版社，2015.

- [5] 任哲.嵌入式实时操作系统 μC/OS-II 原理及应用 [M]. 2 版. 北京：北京航空航天大学出版社，2009.
- [6] 吴桂龙.提高传输以太网汇聚业务安全系数探讨 [J]. 铁路通信信号工程技术，2022，19（2）：30-34.  
Wu Guilong.Discussion on Improving Security Factor of Transmitting Ethernet Aggregation Service[J]. Railway Signalling & Communication Engineering, 2022, 19(2): 30-34.
- [7] 杨亚涛, 张松涛, 李子臣, 等. 基于 Zynq 平台 PCIE 高速数据接口的设计与实现 [J]. 电子科技大学学报，2017，46（3）：522-528.

（下转 46 页）

- [2] 何丽. 基于高铁环境下的 5G 网络建设与规划 [J]. 铁路通信信号工程技术, 2022, 19 (11): 42-46.  
He Li. 5G Network Construction & Planning Based on High-speed Railway Environment[J]. Railway Signalling & Communication Engineering, 2022, 19(11):42-46.
- [3] 姜永富. 铁路 5G-R 研发关键问题探讨 [J]. 中国铁路, 2022 (9): 8-11.  
Jiang Yongfu. Discussion on Priorities of Railway 5G-R Research and Development[J]. China Railway, 2022(9): 8-11.
- [4] 王芳, 石波, 蔺伟. 铁路 5G-R 技术标准体系研究 [J]. 中国铁路, 2022 (9): 31-37.  
Wang Fang, Shi Bo, Lin Wei. Railway 5G-R Technical Standard System[J]. China Railway, 2022(9): 31-37.
- [5] 李春铎, 郭强亮, 闫晓宇, 等. 基于 5G-R 的智能调度通信业务服务质量保障研究 [J]. 铁道通信信号, 2022, 58 (8): 17-21, 36.  
Li Chunduo, Guo Qiangliang, Yan Xiaoyu, et al. Research on Service Quality Assurance of Intelligent Dispatching Communication Service

- Based on 5G-R[J]. Railway Signalling & Communication, 2022, 58(8): 17-21, 36.
- [6] 李路鹏. 5G 移动性增强技术分析 [J]. 移动通信, 2020, 44 (7): 55-59.  
Li Lupeng. Analysis on 5G Mobility Enhancement Technology[J]. Mobile Communications, 2020, 44(7): 55-59.
- [7] 葛伟涛, 冯敬然, 周敏, 等. 铁路 5G-R 无线接入网组网方案 [J]. 铁路通信信号工程技术, 2022, 19 (6): 59-63.  
Ge Weitao, Feng Jingran, Zhou Min, et al. Networking Scheme of Railway 5G-R Wireless Access Network[J]. Railway Signalling & Communication Engineering, 2022, 19(6): 59-63.
- [8] 杨琪, 冯敬然, 周敏, 等. 城市轨道交通 5G 公网融合组网方案研究 [J]. 铁路通信信号工程技术, 2022, 19 (7): 63-69.  
Yang Qi, Feng Jingran, Zhou Min, et al. Research on 5G Public-Private Network Convergence Scheme for Urban Rail Transit[J]. Railway Signalling & Communication Engineering, 2022, 19(7): 63-69.

\* \* \* \* \*

(上接 29 页)

- Yang Yatao, Zhang Songtao, Li Zichen, et al. Design and Implementation for High Speed Data Transfer Interface of PCI Express Based on Zynq Platform[J]. Journal of University of Electronic Science and Technology of China, 2017, 46(3): 522-528.
- [8] 刘光宇, 马盼, 刘肖婷, 等. 基于 UVM 的应答器传输模块验证方法研究 [J]. 铁路通信信号工程技术, 2023, 20 (9): 7-10.  
Liu Guangyu, Ma Pan, Liu Xiaoting, et al. Research on Verification Method of Balise Transmission

- Module Based on UVM[J]. Railway Signalling & Communication Engineering, 2023, 20(9): 7-10.
- [9] 宋仕坤. 基于以太网 MAC IP 核的 IEEE1588 协议的设计与实现 [D]. 西安: 西安电子科技大学, 2017.
- [10] 刘浩, 田泽, 刘承禹, 等. 基于 DMA 的双通道千兆以太网 MAC 设计与验证 [J]. 计算机技术与发展, 2016, 26 (5): 132-134.  
Liu Hao, Tian Ze, Liu Chengyu, et al. Design and Verification of Dual- Channel Gigabit Ethernet MAC Based on DMA[J]. Computer Technology and Development, 2016, 26(5): 132-134.